

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10136646
PUBLICATION DATE : 22-05-98

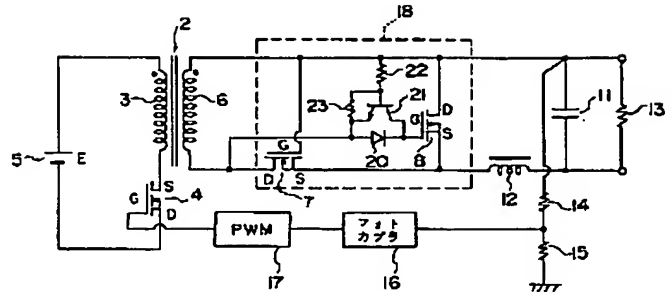
APPLICATION DATE : 28-10-96
APPLICATION NUMBER : 08302414

APPLICANT : MURATA MFG CO LTD;

INVENTOR : OHASHI YASUO;

INT.CL. : H02M 3/28 H02M 7/21

TITLE : SYNCHRONOUS RECTIFIER



ABSTRACT : PROBLEM TO BE SOLVED: To provide a synchronous rectifier capable of sharply reducing the power consumption in a section, where the winding voltage of a transformer becomes zero by omitting a communicating diode.

SOLUTION: A synchronous rectifier 18 of a DC-DC conversion circuit is composed of a first MOSFET 7, a second MOSFET 8, a bias diode 20, a short circuit switching element 21, and resistors 22 and 23. The first MOSFET 7 and the short circuit switch element 21 are turned on synchronously with the on operation of a main switch element 4. The second MOSFET 8 is turned on, when the main switch element 4 is off. When the main switch element 4 is on, the current of a choke coil 12 is let flowed through the first MOSFET 7, and when the main switch element 4 is off, it is let flowed through the second MOSFET 8. Also when the winding voltage of a transformer 2 becomes zero voltage in the off condition of the main switch element 4, the bias diode 20 checks the discharge of the charge of the input parasitic capacitance between the gate and source of the second MOSFET 8, with the off operation of the short circuit switch element 21. Subsequently, the second MOSFET 8 is turned on.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-136646

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁹

H 0 2 M 3/28
7/21

識別記号

F I

H 0 2 M 3/28
7/21

F
A

審査請求 未請求 請求項の数 2 F D (全 8 頁)

(21) 出願番号 特願平8-302414

(22) 出願日 平成8年(1996)10月28日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 大橋 靖生

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

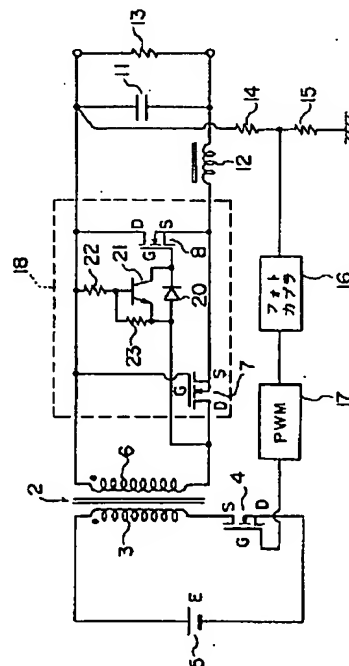
(74) 代理人 弁理士 五十嵐 清

(54) 【発明の名称】 同期整流器

(57) 【要約】

【課題】 低電力損失の同期整流器を提供する。

【解決手段】 DC-DC変換回路の同期整流器18を第1のMOS FET 7と第2のMOS FET 8とバイアスダイオード20と短絡スイッチ素子21と抵抗体22, 23で構成する。第1のMOS FET 7と短絡スイッチ素子21はメインスイッチ素子4のオン動作に同期してオンさせる。第2のMOS FET 8はメインスイッチ素子4がオフのときオンさせる。メインスイッチ素子4のオン時はチョークコイル12の電流は第1のMOS FET 7を通し、メインスイッチ素子4のオフ時は第2のMOS FET 8を通して流す。メインスイッチ素子4のオフ状態で、トランス2の巻線電圧が零電圧になったときにも、短絡スイッチ素子21のオフ動作で、バイアスダイオード20により第2のMOS FET 8のゲート・ソース間の入力寄生容量の電荷放電を阻止し、第2のMOS FET 8を引き続きオン動作させる。



【特許請求の範囲】

【請求項1】 直流電源にトランスの一次巻線とメインスイッチ素子の直列回路が接続され、前記メインスイッチ素子のオン・オフ駆動により前記トランスの二次巻線に誘起する電圧を整流平滑して出力するDC-DC変換回路に組み込まれる同期整流器において、前記メインスイッチ素子がオンしたときにマイナスの電圧が発生する側のトランスの二次巻線の一端側に第1のMOS FETのドレインが、プラスの電圧が発生する側の前記トランスの二次巻線他端側に第1のMOS FETのゲートがそれぞれ接続され、前記第1のMOS FETのゲートに第2のMOS FETのドレインが、前記第1のMOS FETのソースに第2のMOS FETのソースがそれぞれ接続され、前記第1のMOS FETのドレインと第2のMOS FETのゲート間には第2のMOS FETのゲート側をカソード側としてバイアスダイオードが接続されており、このバイアスダイオードのアノードとカソード間には前記トランスの二次巻線の電圧を駆動源として前記第1のMOS FETのゲートが

プラス電位となる期間をオン期間としてオンして前記バイアスダイオードを短絡する短絡スイッチ素子が設けられている同期整流器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DC-DC変換回路等に組み込まれる同期整流器に関するものである。

【0002】

【従来の技術】図4には同期整流器1を備えたDC-DC変換回路（DC-DCコンバータ）が示されている。同図において、トランス2の一次巻線（一次コイル）の一端側にはMOS FET（電界効果トランジスタ）のメインスイッチ素子4が直列に接続され、この一次巻線3とメインスイッチ素子4の直列接続体のコイル端側は直流電源5の陽極に接続され、また、メインスイッチ素子4のソース側は直流電源5の陰極に接続されている。

【0003】トランス2の二次巻線（二次コイル）6の出力側には同期整流器1が接続されている。この同期整流器1は第1のMOS FET7と第2のMOS FET8とを組み合わせたもので、第1のMOS FET7のゲートは二次巻線6の一端側に接続され、第1のMOS FET7のドレインは二次巻線6の他端側に接続されている。そして、第1のMOS FET7のドレインと第2のMOS FET8のゲートが接続され、第2のMOS FET8のドレインは第1のMOS FET7のゲートに接続されており、第2のMOS FET8のソースは第1のMOS FET7のソースに接続されてい

る。

【0004】第2のMOS FET8のソースとドレイン間にはドレイン側をカソード側にして第2のMOS FET8のボディダイオードよりも電圧降下のより小さい転流ダイオード（例えば、ショットキーバリアダイオード）10が接続されている。そして、前記転流ダイオード10のカソードに並列にコンデンサ11の一端が接続され、このコンデンサ11の一端側と転流ダイオード10のアノード間にはチョークコイル12が接続されている。そして、コンデンサ11の両端側の出力端間には負荷13が接続される。

【0005】前記コンデンサ11の出力電圧（回路出力電圧）は抵抗体14、15の直列回路により検出されており、この出力の検出電圧はフォトカプラ16を介してメインスイッチ素子4のスイッチング動作を制御するスイッチング制御回路17に加えられている。

【0006】このスイッチング制御回路17は、通常、パルス幅制御回路によって構成され、コンデンサ11の出力電圧が低下したときにはメインスイッチ素子4のゲートに加えるオンパルス幅を広くし、出力電圧が上昇したときにはメインスイッチ素子4のゲートに加えるオンパルス幅を狭く制御して、出力電圧の安定化を行うものである。

【0007】なお、図4における各スイッチ素子のDはドレイン、Sはソース、Gはゲートをそれぞれ示している。

【0008】次にこの種のDC-DC変換回路の動作を図5に示すタイムチャートを用いて説明する。まず、時刻 t_0 でメインスイッチ素子4がオンすると、トランス2の一次巻線3に直流電源5の電圧Eが印加され、一次巻線3の巻数を n_1 、二次巻線6の巻数を n_2 としたとき、トランス2の二次巻線6に電圧 v_{n2} （ $v_{n2} = E \cdot n_2 / n_1$ ）が誘起する。そして、この電圧 v_{n2} が第1のMOS FET7のゲート・ソース間に印加され、第1のMOS FET7がメインスイッチ素子3のオン動作に同期してオンする。なお、二次巻線6に誘起する電圧 v_{n2} は第1のMOS FET7のゲート側がプラス側となる電圧であり、ドレイン側がマイナス側となる電圧である。

【0009】前記第1のMOS FET7のオン駆動により、この第1のMOS FET7に電流 i_1 が流れる。なお、図5の（b）は第1のMOS FET7のゲート・ソース間電圧（ v_{gs1} ）を示す。

【0010】一方、第2のMOS FET8は、そのゲート・ソース間が前記第1のMOS FET7のオン動作により短絡されるのでオフ状態を維持する。また、転流ダイオード10も逆バイアスされるので、オフ状態を維持する。この結果、チョークコイル12とコンデンサ11で構成される平滑フィルタと負荷13には第1のMOS FET7を介して電力が供給される。このとき、チョークコイ

ル12を流れる電流 i_1 はMOS FET7を流れる電流 i_1 に等しくなる。

【0011】時刻 t_1 でメインスイッチ素子4がオフすると、励磁エネルギーによりトランス2の一次巻線3に逆電圧が発生し、このため、トランス2の二次巻線6の電圧は極性が反転し、第1のMOS FET7はオフし、第2のMOS FET8はゲート・ソース間に電圧 v_{gs} が印加されてオンする。この第2のMOS FET8のオン電圧は転流ダイオード10のオン電圧より低いので、チョークコイル12の電流 i_1 は転流ダイオード10側には流れずに第2のMOS FET8側を流れ、チョークコイル12の電流 i_1 の連続性が保たれる。このとき、チョークコイル12を流れる電流 i_1 は第2のMOS FET8を流れる電流 i_1 に等しい。

【0012】時刻 t_2 でトランス2の巻線電圧が零になると、第2のMOS FET8はオフし、チョークコイル12の電流 i_1 は第2のMOS FET8のボディダイオードを流れようとするが、このボディダイオードよりも電圧降下の小さな転流ダイオード10を流れるようになり、チョークコイル12の電流 i_1 の連続性が保たれる。このチョークコイル12を流れる電流 i_1 は転流ダイオード10を流れる電流 i_1 に等しい。

【0013】次に時刻 t_3 で再びメインスイッチ素子4がオンすると、トランス2の一次巻線3に直流電源5の電圧Eが印加され、前記時刻 t_1 の動作と同一の動作が行われる。このように、 $t_1 \sim t_2$ の動作が繰り返行われ、負荷13に供給されるチョークコイル12の電流 i_1 の連続性が保たれるのである。

【0014】

【発明が解決しようとする課題】この種の従来の回路では、前記時刻 $t_1 \sim t_2$ の区間において、第2のMOS FET8がオフ状態を維持し、この状態で、チョークコイル12に流れる電流の連続性を維持するために転流ダイオード10を設けているが、この転流ダイオード10は、第2のMOS FET8のオン状態時の電圧降下よりも大きな電圧降下が生じるため、その転流ダイオード10に電流が流れる期間の電力損失が大きくなるという問題がある。この転流ダイオード10を省略しても、第2のMOS FET8のボディダイオードを通して前記 $t_1 \sim t_2$ の期間においてチョークコイル12の電流 i_1 を連続的に流すことは可能であるが、そうすると、第2のMOS FET8のボディダイオードの電圧降下は転流ダイオード10の電圧降下よりも大きいので、さらに電力損失が大きくなってしまおうという問題が生じる。

【0015】本発明は上記課題を解決するためになされたものであり、その目的は、トランス2の巻線電圧が零になる区間（前記 $t_1 \sim t_2$ の期間）の消費電力を転流ダイオード10を省略した上で大幅に低減することが可能な同期整流器を提供することにある。

【0016】

【課題を解決するための手段】本発明は上記目的を達成するために、次のような手段を講じている。すなわち、第1の発明は、直流電源にトランスの一次巻線とメインスイッチ素子の直列回路が接続され、前記メインスイッチ素子のオン・オフ駆動により前記トランスの二次巻線に誘起する電圧を整流平滑して出力するDC-DC変換回路に組み込まれる同期整流器において、前記メインスイッチ素子がオンしたときにマイナスの電圧が発生する側のトランスの二次巻線の一端側に第1のMOS FETのドレインが、プラスの電圧が発生する側の前記トランスの二次巻線他端側に第1のMOS FETのゲートがそれぞれ接続され、前記第1のMOS FETのゲートに第2のMOS FETのドレインが、前記第1のMOS FETのソースに第2のMOS FETのソースがそれぞれ接続され、前記第1のMOS FETのドレインと第2のMOS FETのゲート間には第2のMOS FETのゲート側をカソード側としてバイアスダイオードが接続されており、このバイアスダイオードのアノードとカソード間には前記トランスの二次巻線の電圧を駆動源として前記第1のMOS FETのゲートがプラス電位となる期間をオン期間としてオンして前記バイアスダイオードを短絡する短絡スイッチ素子が設けられている構成をもって課題を解決する手段としている。

【0017】また、第2の発明は、トランスの二次側に二次巻線とは独立した別個の別巻線が設けられ、前記第1の発明の二次巻線を短絡スイッチ素子の駆動源とする代わりに、前記別巻線の電圧を短絡スイッチ素子の駆動源とした構成をもって課題を解決する手段としている。

【0018】上記構成の発明において、メインスイッチ素子がオンしている期間は第1のMOS FETはオン状態となり、第2のMOS FETはオフ状態を維持する。これにより、この期間では、従来例と同様に負荷には第1のMOS FETを通る電流が流れる。なお、このとき、短絡スイッチ素子には順方向のバイアス電圧が印加されることで、オン状態を維持し、バイアスダイオードを短絡する。このバイアスダイオードの短絡により、第2のMOS FETのゲート・ソース間の入力寄生容量に帯電している電荷は放電される。

【0019】次に、メインスイッチ素子がオフすると、第1のMOS FETと短絡スイッチ素子は共に逆バイアス電圧が印加されるのでオフ状態となり、第2のMOS FETのゲート・ソース間の入力寄生容量には二次巻線からバイアスダイオードを介してエネルギーが供給されて電荷が蓄えられ、第2のMOS FETがオンする。これにより、負荷への電流は第2のMOS FETを流れて流れる。

【0020】そして、トランスの巻線電圧（二次巻線6の電圧）が零電圧に達したとき、短絡スイッチ素子はオフ状態を維持しているため、第2のMOS FETのゲート・ソース間の入力寄生容量に帯電している電荷はバ

イアスダイオードによって放電が阻止された状態に封じ込められるので、第2のMOS FETはオン状態を継続する。この結果、負荷への電流は引き続き第2のMOS FETを通して供給される。

【0021】次に、メインスイッチ素子がオンすると、第1のMOS FETと短絡スイッチ素子が共にオンし、負荷への電流は第1のMOS FETを通して供給され、第2のMOS FETのゲート・ソース間の入力寄生容量に帯電している電荷は短絡スイッチ素子を通して放電される。このようにメインスイッチ素子のオン状態からオフ状態の回路動作が繰り返し行われ負荷へ連続した電流が供給される。

【0022】前記の如く、この発明では、トランスの巻線電圧が零電圧になる期間は短絡スイッチ素子がオフされて、バイアスダイオードによる第2のMOS FETのバイアス保持動作（第2のMOS FETのゲート・ソース間電荷の封じ込め動作）により第2のMOS FETのオン動作を維持して負荷への電流を供給するので、従来例の転流ダイオードを通して電流を供給する場合に比べその電圧降下は格段に小さくなる。したがって、消費電力（電力損失）は非常に小さなものとなり、回路動作の効率を格段にアップすることが可能となるものである。

【0023】

【発明の実施の形態】以下、本発明の実施形態例を図面に基づき説明する。なお、以下に説明する各実施形態例の説明においては、従来例と同一の回路部分には同一符号を付し、その重複説明は省略する。

【0024】図1には本発明の第1実施形態例の同期整流器がDC-DC変換回路に組み込み状態で示されている。この実施形態例が前記従来例と異なる特徴的なことは、同期整流器18を特有な構成に形成したことであり、それ以外の構成は前記従来例と同様である。

【0025】この第1実施形態例において特徴的な同期整流器18は、第1のMOS FET7と第2のMOS FET8と、バイアスダイオード20と、短絡スイッチ素子21と、抵抗体22、23を有して構成されている。

【0026】この同期整流器18の第1のMOS FET7は従来例の図4と同様に接続されており、第2のMOS FET8のドレインとソースも従来例の図4の場合と同様に接続されている。この同期整流器18において特徴的なことは、第1のMOS FET7のドレインと第2のMOS FET8のゲート間に第2のMOS FET8のゲート側をカソード側の向きにしてバイアスダイオード20を接続したことと、このバイアスダイオード20のアノードとカソード間に短絡スイッチ素子21を設け、この短絡スイッチ素子21をトランス2の二次巻線6の電圧を駆動源としてオン・オフ動作させるようにしたことである。

【0027】前記短絡スイッチ素子21はバイポーラトラ

ンジスタにより構成されており、短絡スイッチ素子21のコレクタ側がバイアスダイオード20のカソード側に接続され、短絡スイッチ素子21のエミッタ側はバイアスダイオード20のアノード側に接続されている。そして、短絡スイッチ素子21のベースは抵抗体22を介して二次巻線6の一端側、つまり、第1のMOS FET7のゲートに接続されている。そして、短絡スイッチ素子21のベースとエミッタ間には抵抗体23が接続されている。なお、これら抵抗体22、23は二次巻線6の電源電圧を短絡スイッチ素子21にバイアスするために設けられるものである。

【0028】次のこの第1実施形態例の動作を図2のタイムチャートを参照して説明する。まず、時刻 t_0 でメインスイッチ素子4がオンすると、従来例と同様にトランス2の二次巻線6に電圧 v_{s1} が誘起し、この電圧が第1のMOS FET7のゲート・ソース間電圧 v_{gs1} として印加され、第1のMOS FET7と短絡スイッチ素子21は共に順方向のバイアス電圧が印加されてオンする。第1のMOS FET7のオン動作により、チョークコイル12には第1のMOS FET7を通して電流が流れる。このときチョークコイル12に流れる電流 i_1 と第1のMOS FET7に流れる電流 i_1 は等しい。

【0029】一方、短絡スイッチ素子21のオン動作により、バイアスダイオード20は短絡され、第2のMOS FET8のゲート・ソース間の入力寄生容量に帯電していた電荷は短絡スイッチ素子21、二次巻線6の経路を経て負荷13側に供給され、第2のMOS FET8の入力寄生容量に帯電していた電荷は捨てられることなく有効に負荷13に利用される。

【0030】時刻 t_1 でメインスイッチ素子4がオフすると、励磁エネルギーによりトランス2の一次巻線3に逆電圧が発生し、トランス2の二次巻線6の電圧は極性が反転する。その結果、第1のMOS FET7と短絡スイッチ素子21はオフし、第2のMOS FET8がオンする。この第2のMOS FET8のオン動作により、チョークコイル12の電流は第2のMOS FET8を通して流れ、チョークコイル12に流れる電流の連続性が保たれる。このとき、チョークコイル12に流れる電流 i_1 と第2のMOS FET8に流れる電流 i_2 は等しい。また、二次巻線6の電圧の極性が反転することで、バイアスダイオード20は順方向にバイアスされ、二次巻線6のエネルギーがバイアスダイオード20を介して第2のMOS FET8のゲート・ソース間の入力寄生容量に加えられ、第2のMOS FET8のゲート・ソース間の入力寄生容量に電荷が蓄えられる。そして、その電荷は、短絡スイッチ素子21がオフしているため、その放電経路がバイアスダイオード20により閉ざされた状態となる。

【0031】次に、時刻 t_2 でトランス2の巻線電圧（二次巻線6の電圧）が零になると、短絡スイッチ素子21はオフ状態を維持しているから、バイアスダイオード20は逆バイアスの状態となり、第2のMOS FET8

のゲート・ソース間の帯電電荷の封じ込め状態が引き続き維持されるので、バイアスダイオード20から第2のMOS FET 8のゲートに順バイアス電圧が印加された状態を維持する。この結果、第2のMOS FET 8は引き続きオン状態を維持し、チョークコイル12の電流は引き続き第2のMOS FET 8を通して流れ、チョークコイル12を流れる電流の連続性が保持される。

【0032】そして、メインスイッチ素子4が時刻 t_1 でオンすると、最初の t_1 の動作状態となり、回路動作が継続する。

【0033】この実施形態例では、メインスイッチ素子4がオフする期間、つまり、駆動源として機能する二次巻線6のバイアス電圧が逆電圧となる期間では、短絡スイッチ素子21はオフ状態を維持するので、トランス2の巻線電圧が零電圧になる期間、すなわち $t_2 \sim t_3$ の期間では、バイアスダイオード20により第2のMOS FET 8のゲート・ソース間の入力寄生容量の帯電電荷の放電を阻止するので、第2のMOS FET 8のゲート・ソース間には電圧 v_{gs2} のピーク電圧がクランプされた格好となり、第2のMOS FET 8を引き続きオン動作状態に継続させることが可能となる。これにより、この $t_2 \sim t_3$ の期間は、第2のMOS FET 8がオン状態で該第2のMOS FET 8を通して電流が流れるので、第2のMOS FET 8のボディダイオードや、従来例の転流ダイオード10を通して電流が流れる場合に比べ、その電圧降下は格段に小さいので、電力損失は非常に小さなものとなり、回路動作の効率を格段に高めることが可能となる。

【0034】また、短絡スイッチ素子21がオンすることによって放電される第2のMOS FET 8のゲート・ソース間の入力寄生容量による電荷は無駄に捨てられることなく負荷13側に供給されるので、より一層回路動作の効率を高めることが可能となる。

【0035】ところで、回路動作の周波数（メインスイッチ素子4のスイッチング周波数）が高くなると、回路導体に浮遊インダクタンスが生じ、従来例の図4に示すような回路だと、トランス2の巻線電圧が零電圧になってチョークコイル12に流れる電流が第2のMOS FET 8から転流ダイオード10に切り換わる際に、その浮遊インダクタンスが悪影響を及ぼし、電流の切り換え応答性が悪くなり、回路動作の性能が悪くなるという問題が生じる。この点、この実施形態例では転流ダイオード10を省略しているので、転流ダイオード10のスイッチオンの切り換え動作によらず、第2のMOS FET 8のオン状態を引き続き継続するようにして、第2のMOS FET 8に引き続き電流が流れるようにしているの

る。

【0036】図3には本発明の第2実施形態例が示されている。この第2実施形態例は短絡スイッチ素子21の駆動源をトランス2の二次巻線6ではなく別巻線24としたことを特徴としており、それ以外の構成は前記第1実施形態例と同様であり、第1実施形態例と同一の構成部分には同一符号を付し、その重複説明は省略する。

【0037】前記別巻線24はトランス2の二次側に二次巻線6とは別個独立の巻線を用いてトランス2のコアに巻装することにより構成されており、別巻線24の一端側は第1のMOS FET 7および第2のMOS FET 8のソース側に接続され、別巻線24の他端側にはバイアスダイオード20のアノードが接続され、バイアスダイオード20のカソード側が第2のMOS FET 8のゲートに接続されている。そして、短絡スイッチ素子21のベースは、抵抗体22を介して別巻線24の一端側、つまり、第1のMOS FET 7と第2のMOS FET 8のソース側に接続されている。なお、この実施形態例では、メインスイッチ素子4がオン状態のとき、別巻線24の一端側、つまり、第1のMOS FET 7と第2のMOS FET 8のソース側にプラスの電圧が誘起されるように別巻線24の極性が設定されている。

【0038】この第2実施形態例も前記第1実施形態例と同様にメインスイッチ素子4がオンする期間では、第1のMOS FET 7と短絡スイッチ素子21がオン状態となり、第2のMOS FET 8はオフ状態となり、チョークコイル12の電流は第1のMOS FET 7を通して流れる。

【0039】そして、メインスイッチ素子4がオフすると、二次巻線6と別巻線24の極性が反転するので、第1のMOS FET 7と短絡スイッチ素子21が共にオフし、第2のMOS FET 8がオンし、チョークコイル12の電流が第2のMOS FET 8を通して流れる。そして、このとき、第2のMOS FET 8のゲート・ソース間の入力寄生容量に電荷が蓄えられる。

【0040】そして、トランス2の巻線電圧が零になったときには、短絡スイッチ素子21はオフ状態を維持しているので、バイアスダイオード20により、第2のMOS FET 8のゲート・ソース間の電荷の放電が阻止されて、第2のMOS FET 8はオン状態を継続する結果、チョークコイル12の電流は引き続き第2のMOS FET 8を通して流れ、チョークコイル12を流れる電流の連続性が保たれるのである。

【0041】この第2実施形態例においても、トランス2の巻線電圧が零電圧になる期間は、第2のMOS FET 8がオン状態でチョークコイル12の電流が流れるので、従来例の転流ダイオード10を通して電流を流す場合に比べ電圧降下は十分に小さなものとなり、電力損失を格段に小さくでき、回路動作の大幅な効率化を達成できることになる。

【0042】また、トランス2の巻線電圧が零になる1の時刻で従来例の如く第2のMOS FET8から転流ダイオード10への電流の経路切り換えが行われることはないで、回路動作が高周波駆動される場合においても、浮遊インダクタンスの影響を受けることがないので、回路動作の高性能化が図れ、回路動作の信頼性を高めることが可能となる。

【0043】さらに、この第2実施形態例では、短絡スイッチ素子21の駆動源を別巻線24によって得るので、この別巻線24で発生する電圧を短絡スイッチ素子21の最適動作電圧にマッチングさせることが可能となり、耐圧の低い短絡スイッチ素子21を用いた場合においても、耐圧上支障なく良好な回路動作を行わせることが可能となる。

【0044】なお、本発明は上記実施形態例に限定されることはなく、様々な実施の形態を探り得る。例えば、上記実施形態例では、短絡スイッチ素子21をバイポーラトランジスタにより構成したが、この短絡スイッチ素子21はMOS FET等の他のスイッチ素子を用いて構成することができる。

【0045】

【発明の効果】本発明はDC-DC変換回路のメインスイッチ素子がオフしたときには第1のMOS FET7がオフし、第2のMOS FET8がオンして負荷への電流は第2のMOS FET8を通して流れるが、DC-DC変換回路のトランスの巻線電圧が零電圧になったときにも、従来例の如く第2のMOS FET8から転流ダイオード10に電流の流れを切り換えることなく、短絡スイッチ素子21のオフ動作に伴うバイアスダイオード18による第2のMOS FET8のゲート・ソース間の入力寄生容量の帯電電荷の放電阻止効果により、第2のMOS FET8を引き続きオン動作させて負荷への電流を流すことができるので、前記トランスの巻線電圧が零電圧になったときに、転流ダイオード10を通して負荷への電流を流す場合に比べ、第2のMOS FET8での電圧降下を格段に小さくすることができ、これにより、電力損失を十分に小さなものとすることができ、回路動作の効率を格段に高めることが可能となる。

【0046】また、前記の如く、DC-DC変換回路の

トランスの巻線電圧が零になったとき、負荷への供給電流の経路が切り換わることはなく、引き続き第2のMOS FET8を通して流すことができるので、回路を高周波駆動した場合においても、電流の経路の切り換えを行う従来例のような浮遊インダクタンスの影響による電流切り換えの応答性遅れの問題は生じることはなく、これにより、高性能の信頼性の高い回路動作が可能となる。

【0047】さらに、短絡スイッチ素子の駆動源をDC-DC変換回路のトランスの二次巻線とした構成のものにあっては、短絡スイッチ素子がオン駆動したときに放電される第2のMOS FET8のゲート・ソース間の入力寄生容量の電荷は捨てられることはなく負荷へ有効供給できることとなるので、回路効率のより一層の改善を図ることが可能となる。

【0048】さらに、短絡スイッチ素子の駆動源を別巻線とした構成のものにあっては、短絡スイッチ素子の駆動電圧を該短絡スイッチ素子の最適電圧にマッチングさせることができるので、低耐圧の短絡スイッチ素子を使用することが可能となり、これに伴い、消費電力の低減化と回路コストの低減を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態例の同期整流器をDC-DC変換回路に組み込み状態で示す回路図である。

【図2】同実施形態例の各回路部分の動作を示すタイムチャートである。

【図3】本発明の第2実施形態例の同期整流器をDC-DC変換回路に組み込み状態で示す回路図である。

【図4】従来例の同期整流器をDC-DC変換回路に組み込み状態で示す回路図である。

【図5】従来の図4に示す回路の各部の動作を示すタイムチャートである。

【符号の説明】

- 6 二次巻線
- 7 第1のMOS FET
- 8 第2のMOS FET
- 18 同期整流器
- 20 バイアスダイオード
- 21 短絡スイッチ素子
- 24 別巻線

【図5】

